

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0056503  
Application Number

출원년월일 : 2002년 09월 17일  
Date of Application SEP 17, 2002

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



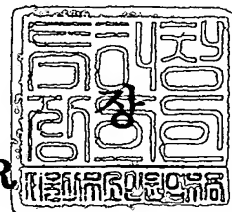
2003    년    04    월    07    일

특

허

청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.09.17
【발명의 명칭】	액정표시소자 및 그 제조방법
【발명의 영문명칭】	Liquid Crystal Display Device and Fabricating Method Thereof
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	최우혁
【성명의 영문표기】	CHOI, Woo Hyuk
【주민등록번호】	710724-1675511
【우편번호】	702-755
【주소】	대구광역시 북구 관음동 한양수정아파트 210동 1406호
【국적】	KR
【발명자】	
【성명의 국문표기】	이상철
【성명의 영문표기】	LEE, Sang Chul
【주민등록번호】	740121-1332830
【우편번호】	730-802
【주소】	경상북도 구미시 선산읍 이문리 우공 1차 아파트 1106
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 호 (인) 김영

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 17 면 17,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 46,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 스토리지용량을 최대화할 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시소자는 기판 상에 형성되는 게이트라인과, 게이트라인을 덮도록 형성되는 게이트절연막과, 게이트절연막 상에 형성되는 반도체층과, 게이트라인의 폭보다 넓게 반도체층의 일부를 노출시키는 스토리지접촉홀과, 스토리지접촉홀을 통해 반도체층과 접촉되며, 게이트라인을 가로질러 신장되게 형성되는 화소전극을 구비하는 것을 특징으로 한다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

액정표시소자 및 그 제조방법{Liquid Crystal Display Device and Fabricating Method Thereof}

**【도면의 간단한 설명】**

도 1은 종래의 액정표시소자의 하부기판을 나타내는 평면도.

도 2는 도 1에서 선"A-A'"를 따라 절취한 액정표시소자의 하부기판을 나타내는 단면도.

도 3a 내지 도 3d는 도 2에 도시된 액정표시소자의 하부기판의 제조방법을 나타내는 단면도.

도 4는 종래 액정표시소자의 스토리지캐패시터의 다른 형태를 나타내는 단면도.

도 5는 본 발명의 제1 실시 예에 따른 액정표시소자의 하부기판을 나타내는 평면도.

도 6은 도 5에서 선"B-B'"를 따라 절취한 액정표시소자의 하부기판을 나타내는 단면도.

도 7a 내지 도 7f는 도 6에 도시된 액정표시소자의 하부기판의 제조방법을 나타내는 단면도.

도 8은 본 발명의 제2 실시 예에 따른 액정표시소자의 하부기판을 나타내는 평면도.

도 9는 도 8에서 선"C-C'"를 따라 절취한 액정표시소자의 하부기판을 나타내는 단면도.

도 10a 내지 도 10f는 도 9에 도시된 액정표시소자의 하부기판의 제조방법을 나타내는 단면도.

#### <도면의 주요 부분에 대한 부호의 설명>

1,31 : 하부기판      2,32 : 게이트라인  
 4,34 : 데이터라인      6,36 : 게이트전극  
 8,38 : 소스전극      10,40 : 드레인전극  
 12,42 : 게이트절연막      14,44 : 활성층  
 16,46 : 오믹접촉층      18,48 : 보호층  
 20,50 : 드레인접촉홀      22,52 : 화소전극  
 24,54 : 스토리지전극      26,56 : 스토리지접촉홀

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19>      본 발명은 액정표시소자에 관한 것으로, 특히 스토리지용량을 최대화할 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

<20> 통상의 액정표시소자는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시소자는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 이 액정패널을 구동하기 위한 구동회로를 구비하게 된다. 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련되게 된다. 통상, 화소전극은 하부기판 상에 액정셀별로 형성되는 반면 공통전극은 상부기판의 전면에 일체화되어 형성되게 된다. 화소전극들 각각은 스위치 소자로 사용되는 박막 트랜지스터(Thin Film Transistor; TFT)에 접속되게 된다. 화소전극은 박막 트랜지스터를 통해 공급되는 데이터신호에 따라 공통전극과 함께 액정셀을 구동하게 된다.

<21> 이러한 액정표시소자의 하부기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조공정이 복잡하여 액정패널의 제조단가 상승의 주요원인이 되고 있다. 이를 해결하기 위하여, 하부기판은 마스크공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 증착공정, 세정공정, 포토리소그래피공정, 식각공정, 박리공정 및 검사공정 등과 같은 여러 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 5마스크공정에서 하나의 마스크 공정을 줄인 4마스크 공정이 대두되고 있다.

<22> 도 1 및 도 2는 4마스크공정으로 형성되는 하부기판을 나타내는 평면도 및 단면도이다.

<23> 도 1 및 도 2를 참조하면, 액정표시소자의 하부기판(1)은 데이터라인(4)과 게이트라인(2)의 교차부에 위치하는 TFT부(TP)와, TFT부(TP)의 드레인전극(10)에 접속되는 화소전극(22)과, 화소전극(22)과 이전단 게이트라인(2)과의 중첩부분에 위치하는 스토리지 캐패시터부(SP)를 구비한다.

- <24> TFT부(TP)는 게이트라인(2)에 접속된 게이트전극(6), 데이터라인(4)에 접속된 소스전극(8) 및 드레인접촉홀(20)을 통해 화소전극(22)에 접속된 드레인전극(10)을 구비한다. 또한, TFT부(TP)는 게이트전극(6)에 공급되는 게이트신호에 의해 소스전극(8)과 드레인전극(10)간에 도통채널을 형성하기 위한 반도체층들(14,16)을 더 구비한다. 이러한 TFT부(TP)는 게이트라인(2)으로부터의 게이트신호에 응답하여 데이터라인(4)으로부터의 데이터신호를 선택적으로 화소전극(22)에 공급한다.
- <25> 화소전극(22)은 데이터라인(4)과 게이트라인(2)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 투명전도성물질로 이루어진다. 화소전극(22)은 기판(1) 전면에도포되는 보호층(18) 상에 형성되며, 보호층(18)을 관통하는 드레인접촉홀(20)을 통해 드레인전극(10)과 전기적으로 접속된다. 이러한 화소전극(22)은 TFT부(TP)를 경유하여 공급되는 데이터신호에 의해 상부기판(도시하지 않음)에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(1)과 상부기판(도시하지 않음) 사이에 위치하는 액정은 유전율이방성에 기인하여 회전하게 된다. 이렇게 회전되는 액정에 의해 광원으로부터 화소전극(22)을 경유하여 입사되는 광을 상부기판쪽으로 투과시키게 된다.
- <26> 스토리지 캐패시터부(SP)는 화소전극(22)의 전압변동을 억제하는 역할을 하게 된다. 이러한 스토리지 캐패시터부(SP)는 이전단 게이트라인(2)과, 그 이전단 게이트라인(2)과 게이트절연막(12) 및 반도체층(14,16)을 사이에 두고 형성되며 화소전극과 접속되는 스토리지전극(24)으로 형성된다. 이 스토리지전극(24)은 스토리지접촉홀(26)을 통해 화소전극(22)과 전기적으로 측면 접속된다.



- <27> 이러한 액정표시소자의 하부기판의 제조방법을 도 3a 내지 도 3d를 결부하여 설명하기로 한다.
- <28> 도 3a를 참조하면, 하부기판(1) 상에 게이트전극(6) 및 게이트라인(2)이 형성된다. 이를 위해, 하부기판(1) 상에 스퍼터링(sputtering) 등의 증착방법으로 게이트금속층이 증착된다. 게이트금속층은 알루미늄(Al) 또는 알루미늄합금 등으로 이루어진다. 게이트금속층이 제1 마스크를 이용한 포토리소그래피공정과 식각공정을 패터닝됨으로써 하부기판(1) 상에 게이트전극(6) 및 게이트라인(2)이 형성된다.
- <29> 도 3b를 참조하면, 게이트전극(6) 및 게이트라인(2)이 형성된 하부기판(1) 상에 게이트절연막(12), 활성층(14), 오믹접촉층(16), 소스전극(8), 드레인전극(10), 스토리지전극(24) 및 데이터라인(4)이 형성된다.
- <30> 이를 위해, 하부기판(1) 상에 화학기상증착(Chemical Vapor Deposition), 스퍼터링 등의 증착방법을 통해 게이트절연막(12), 제1 및 제2 반도체층 및 데이터금속층이 순차적으로 증착된다. 여기서, 게이트절연막(12)은 무기절연물질인 산화실리콘( $\text{SiO}_x$ ) 또는 질화실리콘( $\text{SiN}_x$ ) 등이 이용되며, 제1 반도체층은 불순물이 도핑되지 않은 비정질실리콘 등이 이용되며, 제2 반도체층은 N형 또는 P형의 불순물이 도핑된 비정질실리콘으로 형성되며, 데이터금속층은 몰리브덴(Mo) 또는 몰리브덴 합금 등이 이용된다.
- <31> 데이터금속층 상에 제2 마스크를 이용한 포토리소그래피공정으로 포토레지스트패턴이 형성된다. 이 경우, 제2 마스크로는 박막트랜지스터부(TP)의 채널부에 회절부를 갖는 회절마스크를 이용함으로써 채널부의 포토레지스트패턴이 소스/드레인패턴부와 스토리지패턴부보다 상대적으로 낮은 높이를 갖게 한다.

- <32> 이러한 포토레지스트패턴을 이용한 습식식각공정으로 데이터금속층이 패터닝됨으로써 데이터라인(4), 스토리지전극(24), 소스전극(8) 및 드레인전극(10)이 형성된다.
- <33> 이 후, 동일한 포토레지스트패턴을 이용한 건식식각공정으로 제1 및 제2 반도체층이 동시에 패터닝됨으로써 활성층(14) 및 오믹접촉층(16)이 형성된다.
- <34> 그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트패턴이 애싱(Ashing)공정으로 제거된 후 건식식각공정으로 채널부의 소스/드레인패턴부 및 오믹접촉층이 식각된다. 이에 따라, 채널부의 활성층이 노출되어 소스전극 및 드레인전극이 분리된다.
- <35> 이 후, 스트립공정으로 소스/드레인패턴부에 잔존하는 포토레지스트패턴이 제거된다.
- <36> 도 3c를 참조하면, 소스전극(8), 드레인전극(10), 스토리지전극(24) 및 데이터라인(4)이 형성된 게이트절연막(12) 상에 보호막(18)이 형성된다. 이를 위해, 게이트절연막(12) 상에 절연물질이 증착됨으로써 보호막(18)이 형성된다. 보호막(18)으로는 질화실리콘( $\text{SiN}_x$ ) 및 산화실리콘( $\text{SiO}_x$ ) 등의 무기절연물질, 또는 아크릴(Acryl)계 유기화합물, BCB(benzocyclobutene) 및 PFCB(perfluorocyclobutane) 등의 유기 절연물질 등이 이용된다. 이어서, 보호막(18)은 제3 마스크를 이용한 포토리소그래피공정과 식각공정으로 패터닝됨으로써 드레인접촉홀(20) 및 스토리지접촉홀(26)이 형성된다. 드레인접촉홀(20)은 보호막(18) 및 드레인전극(10)을 관통하여 오믹접촉층(16)이 노출되게 형성되고, 스토리지접촉홀(26)은 보호막(18) 및 스토리지전극(24)을 관통하여 오믹접촉층(16)이 노출되게 형성된다.

- <37> 도 3d를 참조하면, 보호막(18) 상에 화소전극(22)이 형성된다. 이를 위해, 보호막(18) 상에 스퍼터링(sputtering) 등과 같은 증착방법으로 투명금속층이 형성된다. 투명금속층은 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO), 인듐-징크-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide : ITZO) 등으로 이루어진다. 이어서, 투명금속층이 제4 마스크를 이용한 포토리소그래피공정과 식각공정으로 패터닝됨으로써 화소전극(22)이 형성된다. 화소전극(22)은 보호막(18)을 관통하는 드레인접촉홀(20)을 통해 드레인전극(10)과 측면 접촉되며, 보호막(18)을 관통하는 스토리지접촉홀(26)을 통해 스토리지전극(24)과 측면 접촉된다.
- <38> 이러한 종래 액정표시소자가 대형화되어 갈수록 화소전압을 안정적으로 유지하기 위한 스토리지 캐패시터의 용량값(Cst)은 더 증대되어야 한다. 그러나, 스토리지 캐패시터의 용량값(Cst)을 증대시키기 위해서 스토리지 캐패시터의 용량값(Cst)에 비례하는 스토리지전극(24)의 면적을 넓히게 되면 스토리지전극(24)이 차지하는 면적만큼 개구율이 감소하는 문제점이 있다.
- <39> 이에 따라, 스토리지 캐패시터의 용량값(Cst)에 반비례하는 스토리지전극(24)과 게이트라인(2)간의 간격을 좁혀 스토리지캐패시터의 용량값(Cst)을 증대시키게 된다.
- <40> 그러나, 종래 4마스크로 형성되는 액정표시소자는 스토리지전극(24)과 반도체층(14,16)을 동시에 동일패턴으로 형성하게 되므로 스토리지캐패시터의 용량값(Cst)을 증대시키는데는 한계가 있다. 즉, 스토리지캐패시터는 게이트라인(2)과, 게이트라인(2)과 중첩되게 형성되는 게이트절연막(12) 및 반도체층(14,16)을 사이에 두고 형성되는 화소전극(22)으로 이루어진다. 이에 따라, 스토리지전극(24)을 관통하여 반도체층(14,16)과 접촉되는 화소전극(22)과 게이트라인(2) 사이에는 4000Å 두께의 게이트절연막(12)과

2000 Å 두께의 반도체층(14,16)이 형성된다. 이로 인해 화소전극(22)과 게이트라인(2) 간의 간격을 좁혀 스토리지캐패시터의 용량값( $C_{st}$ )을 증대시키는데는 한계가 있다.

<41> 이외에도, 스토리지캐패시터를 도 4에 도시된 바와 같이 게이트절연막(12)과 보호막(18)을 사이에 두고 게이트라인(2)과 화소전극(22)으로 형성할 수도 있다. 이 때, 게이트라인(2)과 화소전극(22) 사이에 형성되는 게이트절연막(12)은 약 4000 Å의 두께를 가지며, 보호막(18)은 약 2000 Å의 두께를 가지게 된다. 이와 같이 게이트라인(2)과 화소전극(22)은 소정 두께를 유지하여야 하므로 스토리지캐패시터의 용량값( $C_{st}$ )을 증대시키는데는 한계가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<42> 따라서, 본 발명의 목적은 스토리지캐패시터의 용량값을 증대시킬 수 있는 액정표시소자 및 그 제조방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<43> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자는 기판 상에 형성되는 게이트라인과, 게이트라인을 덮도록 형성되는 게이트절연막과, 게이트절연막 상에 형성되는 반도체층과, 게이트라인의 폭보다 넓게 상기 반도체층의 일부를 노출시키는 스토리지접촉홀과, 스토리지접촉홀을 통해 상기 반도체층과 접촉되며, 상기 게이트라인을 가로질러 신장되게 형성되는 화소전극을 구비하는 것을 특징으로 한다.

- <44>      상기 화소전극은 게이트라인을 가로질러 이전단 화소전극과 소정거리를 사이에 두고 형성되는 것을 특징으로 한다.
- <45>      상기 소정거리는 약  $6\sim 7\mu\text{m}$ 인 것을 특징으로 한다.
- <46>      상기 게이트절연막은 약  $4000\text{\AA}$  정도이며, 화소전극과 접촉되는 반도체층의 두께는 약  $1000\text{\AA}$  정도인 것을 특징으로 한다.
- <47>      상기 액정표시소자는 반도체층과 동일패턴으로 형성되는 스토리지전극을 추가로 구비하며, 화소전극은 상기 스토리지전극의 측면 및 반도체층과 접촉되는 것을 특징으로 한다.
- <48>      상기 게이트절연막은 약  $4000\text{\AA}$  정도이며, 화소전극과 접촉되는 반도체층의 두께는 약  $1500\text{\AA}$  정도인 것을 특징으로 한다.
- <49>      상기 게이트라인과 데이터라인의 교차영역에 형성되는 박막트랜지스터는 게이트라인과 접속되는 게이트전극과, 게이트절연막 상에 형성되는 활성층과, 활성층 상에 형성되는 오믹접촉층과, 오믹접촉층과 동일패턴으로 형성되는 소스 및 드레인전극과, 소스 및 드레인전극과 접속되는 화소전극을 구비하는 것을 특징으로 한다.
- <50>      상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자의 제조방법은 기판 상에 제1 마스크로 게이트라인을 형성하는 단계와, 게이트라인을 덮도록 상기 기판 상에 절연물질과 반도체물질 및 데이터금속층을 증착한 후, 상기 절연물질과 반도체물질 및 데이터금속층을 제2 마스크로 동시에 패터닝하여 반도체층을 형성하는 단계와, 반도체층이 형성된 기판 상에 절연물질을 증착한 후, 상기 절연물질을 제3 마스크로 패터닝하여 보호막과 상기 게이트라인의 폭보다 넓게 반도체층을 노출시키는 접촉홀을 형성하는 단

계와, 보호막 상에 제4 마스크로 상기 게이트라인을 가로질러 신장되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<51>       상기 액정표시소자의 제조방법은 제1 마스크로 기판 상에 게이트전극을 형성하는 단계와, 제2 마스크로 상기 반도체물질과 데이터금속층을 동시에 패터닝하여 반도체층과 소스전극 및 드레인전극을 형성하는 단계와, 제3 마스크로 상기 절연물질을 패터닝하여 드레인접촉홀을 형성하는 단계를 포함하는 것을 특징으로 한다.

<52>       상기 액정표시소자의 제조방법은 제2 마스크로 상기 반도체물질과 데이터금속층을 동시에 패터닝하여 상기 반도체층과 동일패턴의 스토리지전극을 추가로 형성하는 단계를 포함하는 것을 특징으로 한다.

<53>       상기 데이터금속층은 몰리브덴(Mo) 또는 몰리브덴 합금등으로 형성되는 것을 특징으로 한다.

<54>       상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<55>       이하, 도 5 내지 도 10f를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<56>       도 5는 본 발명의 제1 실시 예에 따른 액정표시소자의 하부기판을 나타내는 평면도이며, 도 6은 도 5에 도시된 액정표시소자의 하부기판을 나타내는 단면도이다.

<57>       도 5 및 도 6을 참조하면, 본 발명의 제1 실시 예에 따른 액정표시소자의 하부기판(31)은 데이터라인(34)과 게이트라인(32)의 교차부에 위치하는 TFT부(TP)와,

TFT부(TP)의 드레인전극(40)에 접속되는 화소전극(52)과, 화소전극(52)과 게이트라인(32)과의 중첩부분에 위치하는 스토리지 캐패시터부(SP)를 구비한다.

<58> TFT부(TP)는 게이트라인(32)에 접속된 게이트전극(36), 데이터라인(34)에 접속된 소스전극(38) 및 화소전극(52)에 접속된 드레인전극(40)을 구비한다. 또한, TFT부(TP)는 게이트전극(36)에 공급되는 게이트전압에 의해 소스전극(38)과 드레인전극(40)간에 도통채널을 형성하기 위한 반도체층들(44,46)을 더 구비한다. 이러한 TFT부(TP)는 게이트라인(32)으로부터의 게이트신호에 응답하여 데이터라인(34)으로부터의 데이터신호를 선택적으로 화소전극(52)에 공급한다.

<59> 화소전극(52)은 데이터라인(34)과 게이트라인(32)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 투명전도성물질로 이루어진다. 화소전극(52)은 게이트절연막(42), 소스 및 드레인전극(38,40) 상에 형성되며, 드레인전극(40)과 전기적으로 접속된다. 이러한 화소전극(52)은 TFT부(TP)를 경유하여 공급되는 데이터신호에 의해 상부기관(도시하지 않음)에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기관(31)과 상부기관(도시하지 않음) 사이에 위치하는 액정은 유전율이방성에 기인하여 회전하게 된다. 이렇게 회전되는 액정에 의해 광원으로부터 화소전극(52)을 경유하여 상부기관 쪽으로 투과되는 광량이 조절된다.

<60> 스토리지 캐패시터부(SP)는 화소전극(52)의 전압변동을 억제하는 역할을 하게 된다. 이러한 스토리지 캐패시터부(SP)는 이전단 게이트라인(32)과, 그 게이트라인(32)과 게이트절연막(42), 활성층(44)의 일부를 사이에 두고 형성되는 화소전극(52)으로 형성된다.

- <61>        스토리지 캐패시터부(SP)와 대응되는 영역의 화소전극(52)은 이전단 게이트라인(32)을 가로질러 이전단 화소전극쪽으로 소정길이(k)만큼 신장되어 형성된다. 여기서, 화소전극(52)과 이전단 화소전극 사이의 이격거리(d)는 약  $8\sim 10\mu\text{m}$ 로, 이전단 게이트라인(32)에서 신장된 화소전극(52)의 소정길이(k)는 약  $2\sim 3\mu\text{m}$ 로 형성된다. 이에 따라, 게이트라인(32)을 가로질러 형성되는 화소전극(52)은 이전단 화소전극과 약  $6\sim 7\mu\text{m}$ 간격을 사이에 두고 형성된다. 이러한 화소전극(52)은 활성층(44)의 일부와 오믹접촉층(46) 및 보호막(48)을 관통하는 스토리지접촉홀(56)을 통해 활성층(44) 및 오믹접촉층(46)과 접촉된다.
- <62>        스토리지접촉홀(56)은 이전단 화소전극쪽으로 신장된 화소전극(52)과 대응되게 상대적으로 넓은 면적의 활성층(44)을 노출시키게 된다. 상대적으로 넓은 면적이 노출된 활성층(44)과 접촉되는 화소전극(52)은 이전단 게이트라인(32)과 중첩되는 면적이 상대적으로 넓어지게 된다. 이에 따라, 중첩되는 면적에 비례하는 스토리지캐패시터의 용량값(Cst)은 상대적으로 증가하게 된다.
- <63>        또한, 스토리지접촉홀(56) 형성시 상대적으로 넓은 면적의 활성층(46)이 노출됨으로써 화소전극(52)과 이전단 게이트라인(32)과의 거리도 상대적으로 넓은 면적에서 가까워지게 된다. 이에 따라, 화소전극(52)과 이전단 게이트라인(32)과의 거리에 반비례하는 스토리지캐패시터의 용량값(Cst)은 상대적으로 증가하게 된다. 즉, 활성층(44)이 종래보다 상대적으로 넓은 면적에서 약  $1000\text{\AA}$  정도 더 많이 식각된다. 이에 따라, 게이트라인(32)과 화소전극(52) 간의 거리가 종래보다 상대적으로 넓은 면적에서 약  $1000\text{\AA}$  정도 가까워짐으로써 스토리지캐패시터의 용량값(Cst)이 상대적으로 증가하게 된다.



- <64> 또한, 스토리지접촉홀(56) 형성시 반도체층(44,46)은 에치 스타퍼(Etch-stopper)로 작용함으로써 게이트절연막(42)의 과식각으로 인해 화소전극(52)과 이전단 게이트라인(32)간의 단락(short)현상을 방지하게 된다. 즉, 반도체층(44,46)과 절연물질로 형성되는 게이트절연막(42) 및 보호막(48)의 패터닝시 반도체층과 절연물질의 식각가스가 다르므로, 보호층(48)은 식각되는 반면 반도체층(44,46)의 일부는 식각되지 않고 남아있게 되어 게이트절연막(42)의 과식각을 방지할 수 있다.
- <65> 뿐만 아니라, 스토리지캐패시터의 용량값( $C_{st}$ )이 상대적으로 증가함으로써 스토리지캐패시터의 용량값( $C_{st}$ )에 반비례하는 피드-쓰로우전압( $\Delta V_p$ )이 작아져 화면 상에 나타나는 얼룩 및 폴리카 등의 불량현상을 방지할 수 있다.
- <66> 도 7a 내지 도 7f는 도 6에 도시된 액정표시소자의 하부기판의 제조방법을 나타내는 단면도이다.
- <67> 도 7a를 참조하면, 하부기판(31) 상에 게이트전극(36) 및 게이트라인(32)이 형성된다. 이를 위해, 하부기판(31) 상에 스퍼터링(sputtering) 등의 증착방법으로 게이트 금속층이 증착된다. 게이트 금속층으로는 단층구조로 알루미늄(Al) 또는 알루미늄-네오듐(AlNd) 등이 이용된다. 이어서, 도시하지 않은 제1 마스크가 하부기판(31) 상에 정렬되고, 노광, 현상공정을 포함하는 포토리소그래피 공정과 식각공정으로 게이트 금속층이 패터닝된다. 이에 따라, 하부기판(31) 상에는 게이트전극(36) 및 게이트라인(32)이 형성된다.
- <68> 도 7b를 참조하면, 게이트전극(36) 및 게이트라인(32)이 형성된 하부기판(31) 상에 화학기상증착방법(Chemical Vapor Deposition) 및 스퍼터링 등의 증착방법을 통해 게이

트절연막(42), 제1 및 제2 반도체층(45,47)) 및 데이터금속층(66)이 순차적으로 형성된다.

<69> 게이트절연막(42)은 무기절연물질인 산화실리콘( $\text{SiO}_x$ ) 또는 질화실리콘( $\text{SiN}_x$ ) 등을 약 4000 Å 두께 정도로 형성되며, 제1 반도체층(45)은 불순물이 도핑되지 않은 비정질 실리콘으로 형성되며, 제2 반도체층(47)은 N형 또는 P형의 불순물이 도핑된 비정질실리콘으로 형성되며, 데이터금속층(66)은 몰리브덴(Mo) 또는 몰리브덴 합금 등으로 형성된다.

<70> 이어서, 데이터금속층(66) 상에 포토레지스트(60)를 전면 도포한 다음, 하부기판(31) 상에 회절마스크인 제2 마스크(62)가 정렬된다. 제2 마스크(62)는 차단부(62a), 회절부(62b) 및 투과부(62c)로 이루어진다.

<71> 도 7c를 참조하면, 하부기판(31) 상에 정렬된 제2 마스크(62)를 이용한 노광 및 현상공정을 포함하는 포토리소그래피 공정으로 데이터금속층(66) 상에 포토레지스트패턴(64)이 형성된다.

<72> 이러한 제2 마스크(62)를 이용한 포토리소그래피공정에 의해 제2 마스크(62)의 투과부(62c)를 통해 전면 노광된 포토레지스트는 모두 제거되고, 차단부(62a)와 회절부(62b)를 통해 노광되지 않거나 일부 노광된 포토레지스트패턴(64)이 형성된다. 포토레지스트패턴(64)에서 제2 마스크(62)의 차단부(62a)에 의해 차단되지 않은 제1 포토레지스트패턴(64a)은 제1 높이로 형성된다. 그리고, 제2 마스크(62)의 회절부(62b)에 의해 일부 노광된 제2 및 제3 포토레지스트패턴(64b,64c)은 제1 높이보다 낮은 제2 높이로 형성된다.

<73> 도 7d를 참조하면, 데이터금속층(66) 상에 형성된 제1 내지 제3 포토레지스트패턴(64a, 64b, 64c)을 마스크로 이용한 습식식각공정으로 데이터금속층(66)을 패터닝한 후 동일한 포토레지스트패턴을 이용한 건식식각공정으로 반도체층(45, 47)이 패터닝된다. 그 결과, 제1 및 제2 포토레지스트패턴(64a, 64b)과 대응되는 영역에는 데이터라인(34), 소스 및 드레인전극(38, 40), 활성층(44) 및 오믹접촉층(46)이 형성되며, 제3 포토레지스트패턴(64c)과 대응되는 영역에는 데이터금속층이 제거되어 활성층(44) 및 오믹접촉층(46)이 형성된다.

<74> 이 후, 스트립공정으로 잔존하는 포토레지스트패턴이 제거된다.

<75> 도 7e를 참조하면, 데이터라인(34), 소스 및 드레인전극(38, 40)이 형성된 게이트절연막(42) 상에 보호막(48)이 형성된다. 이를 위해 게이트절연막(42) 상에 절연물질이 증착됨으로써 보호막(48)이 형성된다. 보호막(48)으로는 질화실리콘(SiNx) 및 산화실리콘(SiOx) 등의 무기절연물질, 또는 아크릴(Acryl)계 유기화합물, BCB(benzocyclobutene) 및 PFCB(perfluorocyclobutane) 등의 유기 절연물질 등이 이용된다. 이어서, 보호막(48)은 제3 마스크를 이용한 포토리소그래피공정과 식각공정으로 패터닝됨으로써 드레인접촉홀(50) 및 스토리지접촉홀(56)이 형성된다. 드레인접촉홀(50)은 보호막(48) 및 드레인전극(40)을 관통하여 오믹접촉층(46)이 노출되게 형성되고, 스토리지접촉홀(56)은 보호막(48), 오믹접촉층(46) 및 활성층(44)의 일부를 관통하여 활성층(44)이 노출되게 형성된다. 스토리지접촉홀(56) 형성시 활성층(44)의 일부를 관통함으로써 게이트라인(32)과 대응되는 영역에 잔존하는 활성층(44)의 두께는 약 1000Å이다.

<76> 도 7f를 참조하면, 보호막(48) 상에 화소전극(52)이 형성된다.

<77> 이를 위해, 보호막(48) 상에 스퍼터링(sputtering) 등과 같은 증착방법으로 투명금속층이 형성된다. 투명금속층은 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO), 인듐-징크-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide : ITZO) 등으로 이루어진다. 이어서, 투명금속층이 제5 마스크를 이용한 포토리소그래피공정과 식각공정으로 패터닝됨으로써 화소전극(52)이 형성된다. 화소전극(52)은 보호막(48)을 관통하는 드레인접촉홀(50)을 통해 드레인전극(40)과 측면 접촉되며, 보호막(48), 오믹접촉층(46), 활성층(44)의 일부를 관통하는 스토리지접촉홀(56)을 통해 활성층(44) 및 오믹접촉층(46)과 접촉된다.

<78> 도 8은 본 발명의 제2 실시 예에 따른 액정표시소자의 하부기판을 나타내는 평면도이며, 도 9는 도 8에 도시된 액정표시소자의 하부기판을 나타내는 단면도이다.

<79> 도 8 및 도 9을 참조하면, 본 발명의 제2 실시 예에 따른 액정표시소자의 하부기판은 도 7에 도시된 액정표시소자의 하부기판과 비교하여 스토리지캐패시터부를 게이트라인과, 그 게이트라인과 게이트절연막 및 반도체층을 사이에 두고 스토리지전극과 측면 접촉되는 화소전극으로 이루어진 것을 제외하고는 동일한 구성요소를 구비한다.

<80> 도 8 및 도 9에 도시된 스토리지캐패시터부(SP)는 화소전극(52)의 전압변동을 억제하는 역할을 하게 된다. 이러한 스토리지 캐패시터부(SP)는 이전단 게이트라인(32)과, 그 게이트라인(32)과 게이트절연막(42), 반도체층(44,46), 스토리지전극(54) 및 보호막(48)을 사이에 두고 형성되는 화소전극(52)으로 형성된다.

<81> 화소전극(52)은 이전단 게이트라인(32)을 가로질러 이전단 화소전극쪽으로 소정길이(k)만큼 신장되어 형성된다. 여기서, 화소전극(52)과 이전단 화소전극 사이의 이격거리(d)는 약  $8\sim 10\mu\text{m}$ 로, 이전단 게이트라인(32)에서 신장된 화소전극(52)의 소정길이(k)는

약  $2\sim 3\mu\text{m}$ 로 형성된다. 이에 따라, 게이트라인(32)을 가로질러 형성되는 화소전극(52)은 이전단 화소전극과 약  $6\sim 7\mu\text{m}$ 를 사이에 두고 형성된다.

<82> 이러한 화소전극(52)은 활성층(44)의 일부, 오믹접촉층(46), 스토리지전극(54) 및 보호막(48)을 관통하는 스토리지접촉홀(56)을 통해 스토리지전극(54)과 측면 접촉된다.

<83> 스토리지전극(54)은 화소전극(52)보다 상대적으로 작은 면적으로 이전단 게이트라인(32)을 가로질러 이전단 화소전극쪽으로 신장되어 형성된다.

<84> 스토리지접촉홀(56)은 이전단 화소전극쪽으로 신장된 화소전극(52)과 대응되게 상대적으로 넓은 면적의 활성층(44)을 노출시키게 된다. 상대적으로 넓은 면적이 노출된 활성층(44)과 접촉되는 화소전극(52)은 이전단 게이트라인(32)과 중첩되는 면적이 넓어지게 된다. 이에 따라, 중첩되는 면적에 비례하는 스토리지캐패시터의 용량값( $C_{st}$ )은 상대적으로 증가하게 된다.

<85> 스토리지접촉홀(56) 형성시 상대적으로 넓은 면적의 활성층(46)이 노출됨으로써 화소전극(52)과 이전단 게이트라인(32)과의 거리도 상대적으로 넓은 면적에서 가까워지게 된다. 이에 따라, 화소전극(52)과 이전단 게이트라인(32)과의 거리에 반비례하는 스토리지캐패시터의 용량값( $C_{st}$ )은 상대적으로 증가하게 된다.

<86> 즉, 스토리지접촉홀 형성시 활성층(44)이 종래보다 상대적으로 넓은 면적에서 약  $500\text{\AA}$  정도 종래보다 더 많이 식각된다. 이에 따라, 게이트라인(32)과 화소전극(52) 사이에 형성되는 약  $4000\text{\AA}$  정도의 게이트절연막(42)과 약  $1500\text{\AA}$  정도의 활성층(44)에 의해

게이트라인(32)과 화소전극(52) 간의 거리는 종래보다 상대적으로 넓은 면적에서 약 500Å 정도 가까워져 스토리지캐패시터의 용량값(Cst)이 상대적으로 증가하게 된다.

<87>        스토리지접촉홀(56) 형성시 반도체층(44,46)은 에치 스타퍼(Etch-stopper)로 작용함으로써 게이트절연막(42)의 과식각으로 인해 화소전극(52)과 이전단 게이트라인(32)간의 단락(short)현상을 방지하게 된다. 즉, 반도체층(44,46)과 절연물질로 형성되는 게이트절연막(42) 및 보호막(48)의 식각가스가 다르므로, 식각공정시 보호층(48)은 식각되는 반면 반도체층(44,46)의 일부는 식각되지 않고 남아있게 되어 게이트절연막(42)의 과식각을 방지할 수 있다.

<88>        뿐만 아니라, 스토리지캐패시터의 용량값(Cst)이 종래보다 증가함으로써 스토리지캐패시터의 용량값(Cst)에 반비례하는 피드-쓰로우전압( $\Delta V_p$ )이 작아짐으로써 얼룩 및 플리커 등의 불량을 방지할 수 있다.

<89>        도 10a 내지 도 10f는 도 9에 도시된 액정표시소자의 하부기판의 제조방법을 나타내는 단면도이다.

<90>        도 10a를 참조하면, 하부기판(31) 상에 게이트전극(36) 및 게이트라인(32)이 형성된다. 이를 위해, 하부기판(31) 상에 스퍼터링(sputtering) 등의 증착방법으로 게이트금속층이 증착된다. 게이트 금속층으로는 단층구조로 알루미늄(Al) 또는 알루미늄-네오듐(AlNd) 등이 이용된다. 이어서, 도시하지 않은 제1 마스크가 하부기판(31) 상에 정렬되고, 노광, 현상공정을 포함하는 포토리쓰그래피 공정과 식각공정으로 게이트 금속층이 패터닝된다. 이에 따라, 하부기판(31) 상에는 게이트전극(36) 및 게이트라인(32)이 형성된다.

- <91> 도 10b를 참조하면, 게이트전극(36) 및 게이트라인(32)이 형성된 하부기판(31) 상에 화학기상증착방법(Chemical Vapor Deposition) 및 스퍼터링 등의 증착방법을 통해 게이트절연막(42), 제1 및 제2 반도체층(45,47) 및 데이터금속층(66)이 순차적으로 형성된다.
- <92> 게이트절연막(42)은 무기절연물질인 산화실리콘( $\text{SiO}_x$ ) 또는 질화실리콘( $\text{SiN}_x$ ) 등을 약 4000Å 두께 정도로 형성되며, 제1 반도체층(45)은 불순물이 도핑되지 않은 비정질 실리콘으로 형성되며, 제2 반도체층(47)은 N형 또는 P형의 불순물이 도핑된 비정질실리콘으로 형성되며, 데이터금속층(66)은 몰리브덴(Mo) 또는 몰리브덴 합금 등으로 형성된다.
- <93> 이어서, 데이터금속층(66) 상에 포토레지스트(60)를 전면 도포한 다음, 하부기판(31) 상에 회절마스크인 제2 마스크(62)가 정렬된다. 제2 마스크(62)는 차단부(62a), 회절부(62b) 및 투과부(62c)로 이루어진다.
- <94> 도 10c를 참조하면, 하부기판(31) 상에 정렬된 제2 마스크(62)를 이용한 노광 및 현상공정을 포함하는 포토리소그래피 공정으로 데이터금속층(66) 상에 포토레지스트패턴(64)이 형성된다.
- <95> 이러한 제2 마스크(62)를 이용한 포토리소그래피공정에 의해 제2 마스크(62)의 투과부(62c)를 통해 전면 노광된 포토레지스트는 모두 제거되고, 차단부(62a)와 회절부(62b)를 통해 노광되지 않거나 일부 노광된 포토레지스트패턴(64)이 형성된다. 포토레지스트패턴(64)에서 제2 마스크(62)의 차단부(62a)에 의해 차단되지 않은 제1 및 제3 포토레지스트패턴(64a,64c)은 제1 높이로 형성된다. 그리고, 제2 마스크(62)의 회절부

(62b)에 의해 일부 노광된 제2 포토레지스트패턴(64b)은 제1 높이보다 낮은 제2 높이로 형성된다.

<96> 도 10d를 참조하면, 데이터금속층(66) 상에 형성된 제1 내지 제3 포토레지스트패턴(64a, 64b, 64c)을 마스크로 이용한 습식식각공정으로 데이터금속층(66)을 패터닝한 후 동일한 포토레지스트패턴을 이용한 건식식각공정으로 반도체층(45, 47)이 패터닝된다. 그 결과, 제1 및 제2 포토레지스트패턴(64a, 64b)과 대응되는 영역에는 데이터라인(34), 소스 및 드레인전극(38, 40), 활성층(44) 및 오믹접촉층(46)이 형성되며, 제3 포토레지스트패턴(64c)과 대응되는 영역에는 스토리지전극(54), 활성층(44) 및 오믹접촉층(46)이 형성된다.

<97> 이 후, 스트립공정으로 잔존하는 포토레지스트패턴이 제거된다.

<98> 도 10e를 참조하면, 스토리지전극(54), 데이터라인(34), 소스 및 드레인전극(38, 40)이 형성된 게이트절연막(42) 상에 보호막(48)이 형성된다. 이를 위해, 게이트절연막(42) 상에 절연물질이 증착됨으로써 보호막(48)이 형성된다. 보호막(48)으로는 질화실리콘( $\text{SiN}_x$ ) 및 산화실리콘( $\text{SiO}_x$ ) 등의 무기절연물질, 또는 아크릴(Acryl)계 유기화합물, BCB(benzocyclobutene) 및 PFCB(perfluorocyclobutane) 등의 유기 절연물질 등이 이용된다. 이어서, 보호막(48)은 제3 마스크를 이용한 포토리소그래피공정과 식각공정으로 패터닝됨으로써 드레인접촉홀(50) 및 스토리지접촉홀(56)이 형성된다. 드레인접촉홀(50)은 보호막(48) 및 드레인전극(40)을 관통하여 오믹접촉층(46)이 노출되게 형성되고, 스토리지접촉홀(56)은 보호막(48), 스토리지전극(54), 오믹접촉층(46) 및 활성층(44)의 일부를 관통하여 활성층(44)이 노출되게 형성된다.



스토리지접촉홀(56) 형성시 활성층(44)의 일부를 관통함으로써 게이트라인(32)과 대응되는 영역에 잔존하는 활성층(44)의 두께는 약 1500Å이다.

<99> 도 10f를 참조하면, 보호막(48) 상에 화소전극(52)이 형성된다.

<100> 이를 위해, 보호막(48) 상에 스퍼터링(sputtering) 등과 같은 증착방법으로 투명금속층이 형성된다. 투명금속층은 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO), 인듐-징크-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide : ITZO) 등으로 이루어진다. 이어서, 투명금속층이 제5 마스크를 이용한 포토리쓰그래피공정과 식각공정으로 패터닝됨으로써 화소전극(52)이 형성된다. 화소전극(52)은 보호막(48)을 관통하는 드레인접촉홀(50)을 통해 드레인전극(40)과 측면 접촉되며, 보호막(48), 오믹접촉층(46), 활성층(44)의 일부를 관통하는 스토리지접촉홀(56)을 통해 스토리지전극(54), 활성층(44) 및 오믹접촉층(46)과 접촉된다.

#### 【발명의 효과】

<101> 상술한 바와 같이, 본 발명에 따른 액정표시소자 및 그 제조방법은 게이트라인을 가로질러 이전단 화소전극쪽으로 신장되어 형성되는 화소전극을 구비한다. 또한, 화소전극과 넓은 면적에서 반도체층과 중첩되도록 보호막, 스토리지전극 및 반도체층 중 적어도 두 층 이상을 관통하도록 형성되는 스토리지접촉홀을 구비한다.

- <102> 이에 따라, 상대적으로 넓은 면적에서 노출된 반도체층과 접촉되는 화소전극은 상대적으로 넓은 면적에서 게이트라인과 중첩되어 형성됨으로써 스토리지캐패시터의 용량값이 증대된다.
- <103> 또한, 상대적으로 넓은 면적이 노출된 반도체층으로 인해 화소전극과 게이트라인간의 거리가 짧아져 스토리지캐패시터의 용량값이 증대된다.
- <104> 뿐만 아니라, 스토리지캐패시터의 용량값에 반비례하는 피드-쓰로우전압( $\Delta V_p$ )이 작아짐으로써 화면 상에 나타나는 얼룩 및 플리커 등의 불량현상을 방지할 수 있다.
- <105> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

기판 상에 형성되는 게이트라인과,  
상기 게이트라인을 덮도록 형성되는 게이트절연막과,  
상기 게이트절연막 상에 형성되는 반도체층과,  
상기 반도체층의 일부를 상기 게이트라인의 폭보다 넓게 노출시키는 스토리지접촉홀과,  
상기 스토리지접촉홀을 통해 상기 반도체층과 접촉되며 상기 게이트라인을 가로질러 신장되게 형성되는 화소전극을 구비하는 것을 특징으로 하는 액정표시소자.

**【청구항 2】**

제 1 항에 있어서,  
상기 화소전극은 상기 게이트라인을 가로질러 이전단 화소전극과 소정거리를 사이에 두고 형성되는 것을 특징으로 하는 액정표시소자.

**【청구항 3】**

제 2 항에 있어서,  
상기 소정거리는 약 6~7 $\mu\text{m}$ 인 것을 특징으로 하는 액정표시소자.

**【청구항 4】**

제 1 항에 있어서,  
상기 게이트절연막은 약 4000 Å 정도이며,

상기 화소전극과 접촉되는 반도체층의 두께는 약 1000Å 정도인 것을 특징으로 하는 액정표시소자.

【청구항 5】

제 1 항에 있어서,

상기 반도체층과 동일패턴으로 형성되는 스토리지전극을 추가로 구비하며,

상기 화소전극은 상기 스토리지전극의 측면 및 반도체층과 접촉되는 것을 특징으로 하는 액정표시소자.

【청구항 6】

제 5 항에 있어서,

상기 게이트절연막은 약 4000Å 정도이며,

상기 화소전극과 접촉되는 반도체층의 두께는 약 1500Å 정도인 것을 특징으로 하는 액정표시소자.

【청구항 7】

제 1 항에 있어서,

상기 게이트라인과 데이터라인의 교차영역에 형성되는 박막트랜지스터는

상기 게이트라인과 접속되는 게이트전극과,

상기 게이트절연막 상에 형성되는 활성층과,

상기 활성층 상에 형성되는 오믹접촉층과,

상기 오믹접촉층과 동일패턴으로 형성되는 소스 및 드레인전극과,

상기 소스 및 드레인전극과 접속되는 화소전극을 구비하는 것을 특징으로 하는 액정표시소자.

**【청구항 8】**

기판 상에 제1 마스크로 게이트라인을 형성하는 단계와,

상기 게이트라인을 덮도록 상기 기판 상에 절연물질과 반도체물질 및 데이터금속층을 증착한 후, 상기 절연물질과 반도체물질 및 데이터금속층을 제2 마스크로 동시에 패터닝하여 반도체층을 형성하는 단계와,

상기 반도체층이 형성된 기판 상에 절연물질을 증착한 후, 상기 절연물질을 제3 마스크로 패터닝하여 보호막과 상기 반도체층을 게이트라인의 폭보다 넓게 노출시키는 접촉홀을 형성하는 단계와,

상기 보호막 상에 제4 마스크로 상기 게이트라인을 가로질러 신장되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

**【청구항 9】**

제 8 항에 있어서,

상기 제1 마스크로 기판 상에 게이트전극을 형성하는 단계와,

상기 제2 마스크로 상기 반도체물질과 데이터금속층을 동시에 패터닝하여 반도체층과 소스전극 및 드레인전극을 형성하는 단계와,

상기 제3 마스크로 상기 절연물질을 패터닝하여 드레인접촉홀을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 10】

제 8 항에 있어서,

상기 제2 마스크로 상기 반도체물질과 데이터금속층을 동시에 패터닝하여 상기 반도체층과 동일패턴의 스토리지전극을 추가로 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

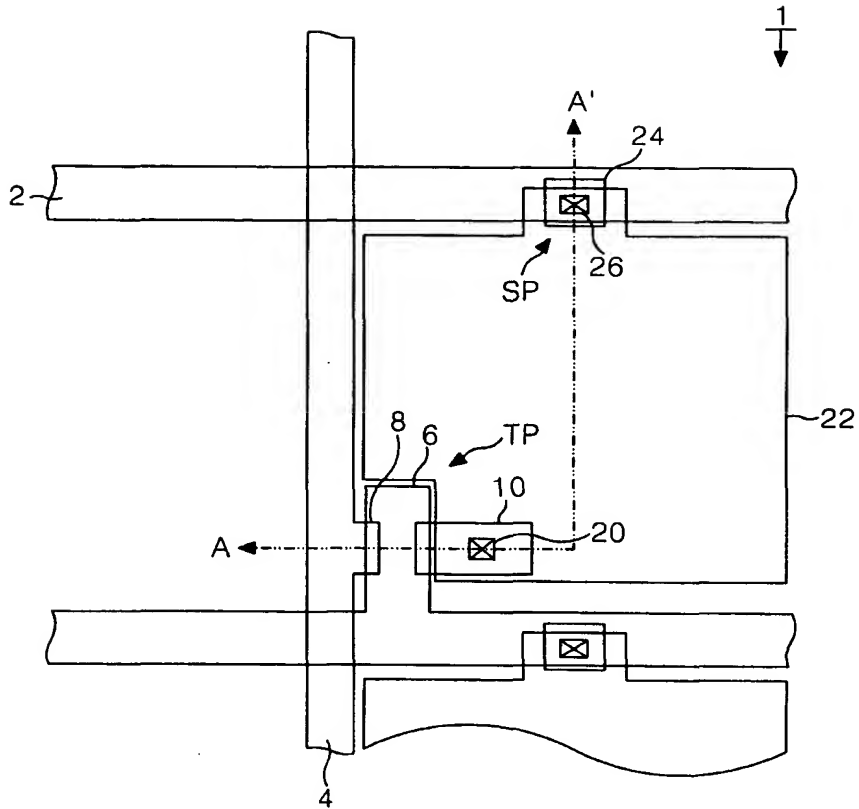
【청구항 11】

제 8 항에 있어서,

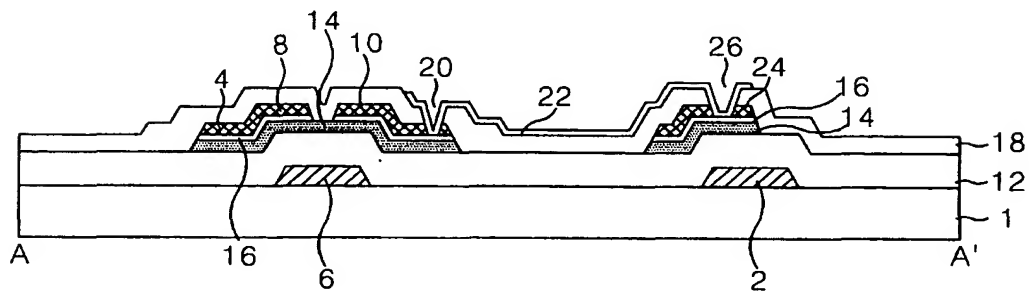
상기 데이터금속층은 몰리브덴(Mo) 또는 몰리브덴 합금등으로 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

【도면】

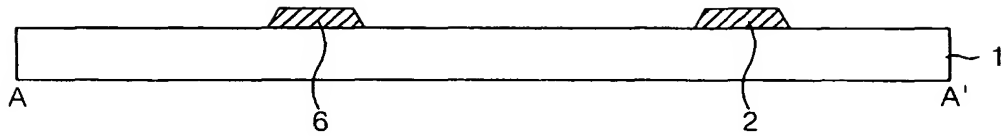
【도 1】



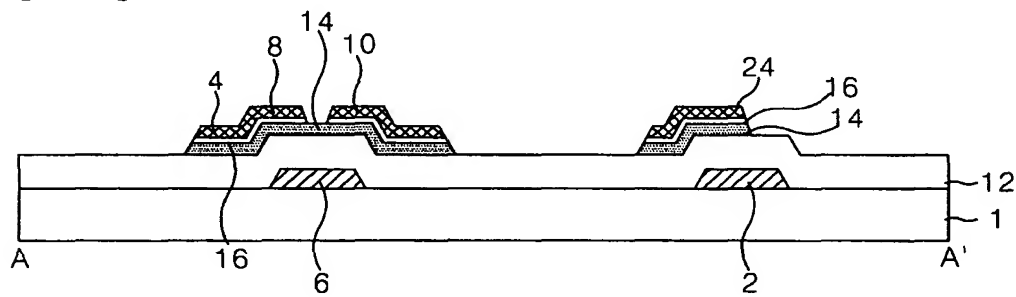
【도 2】



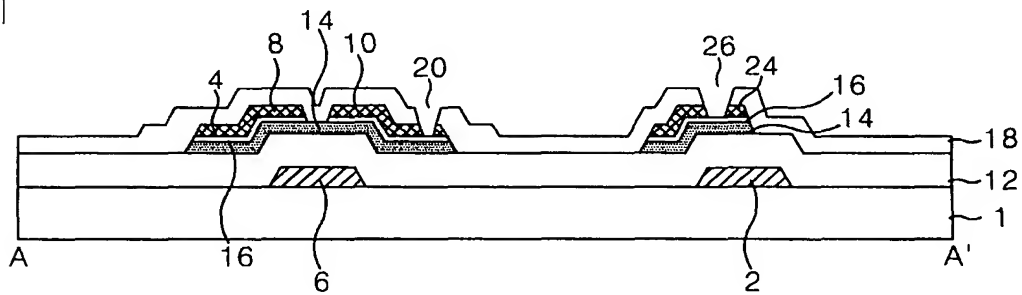
【도 3a】



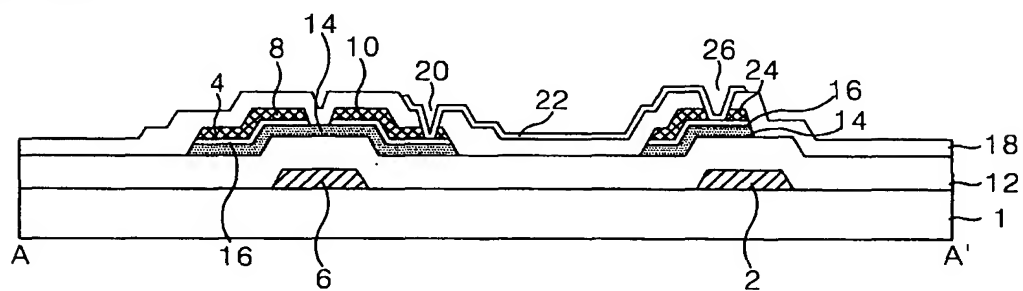
【도 3b】



【도 3c】



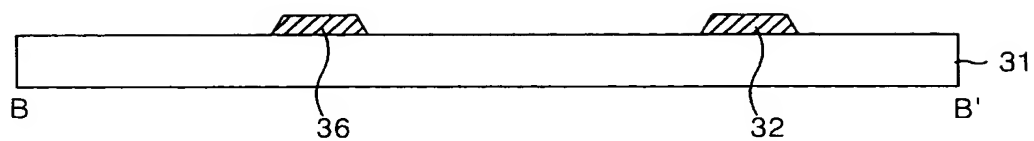
【도 3d】



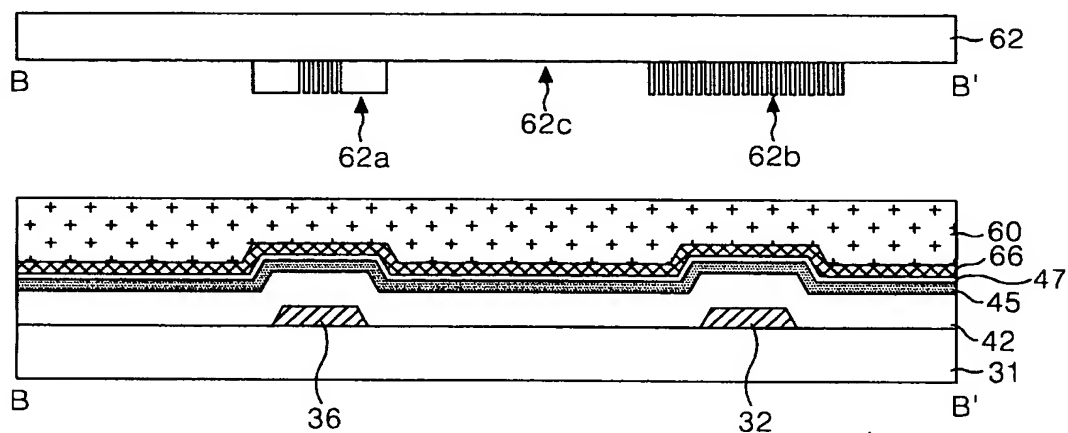




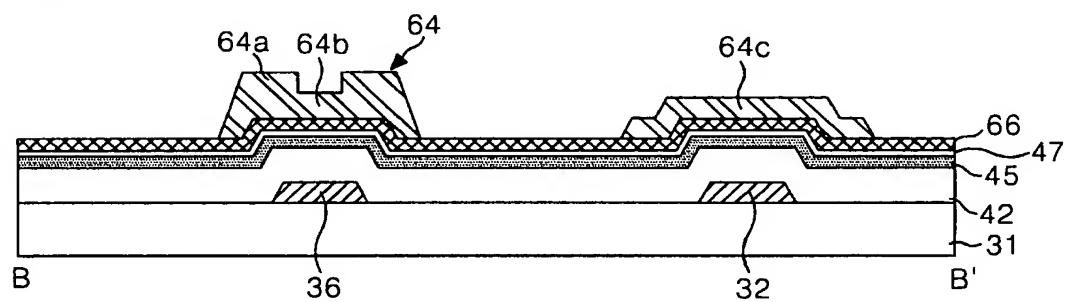
【도 7a】



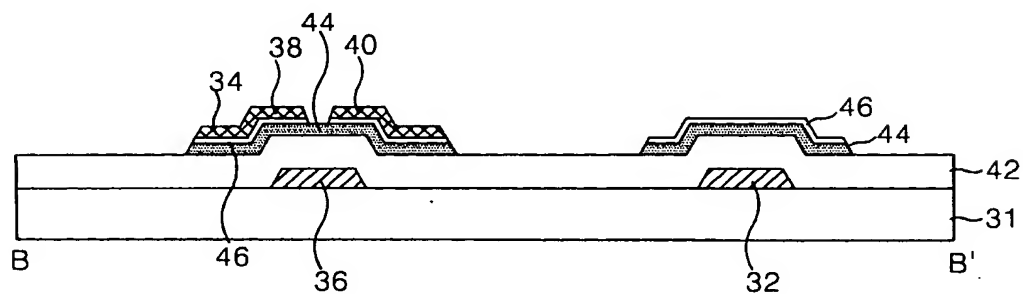
【도 7b】



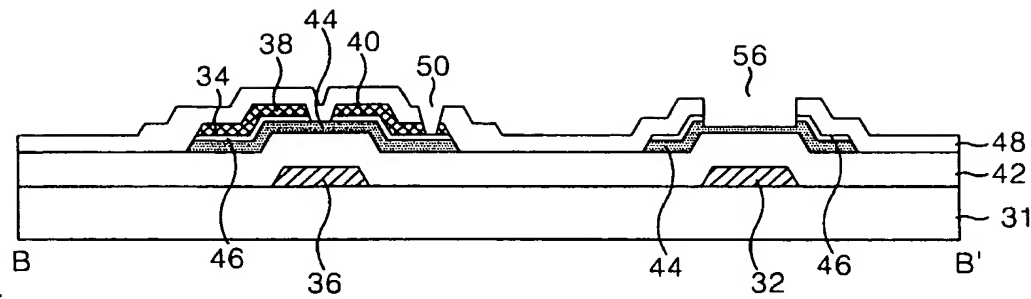
【도 7c】



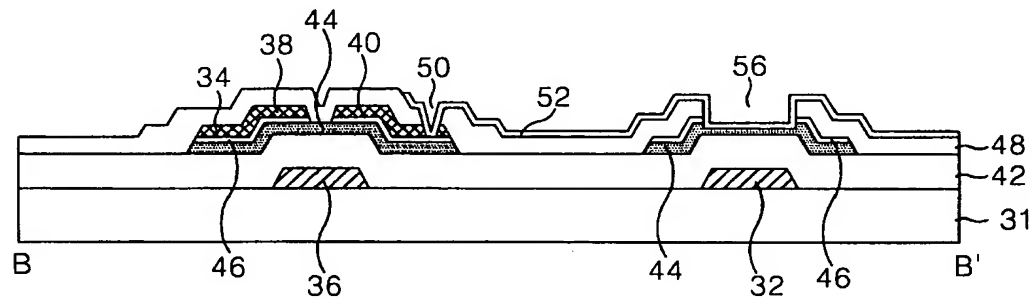
【도 7d】



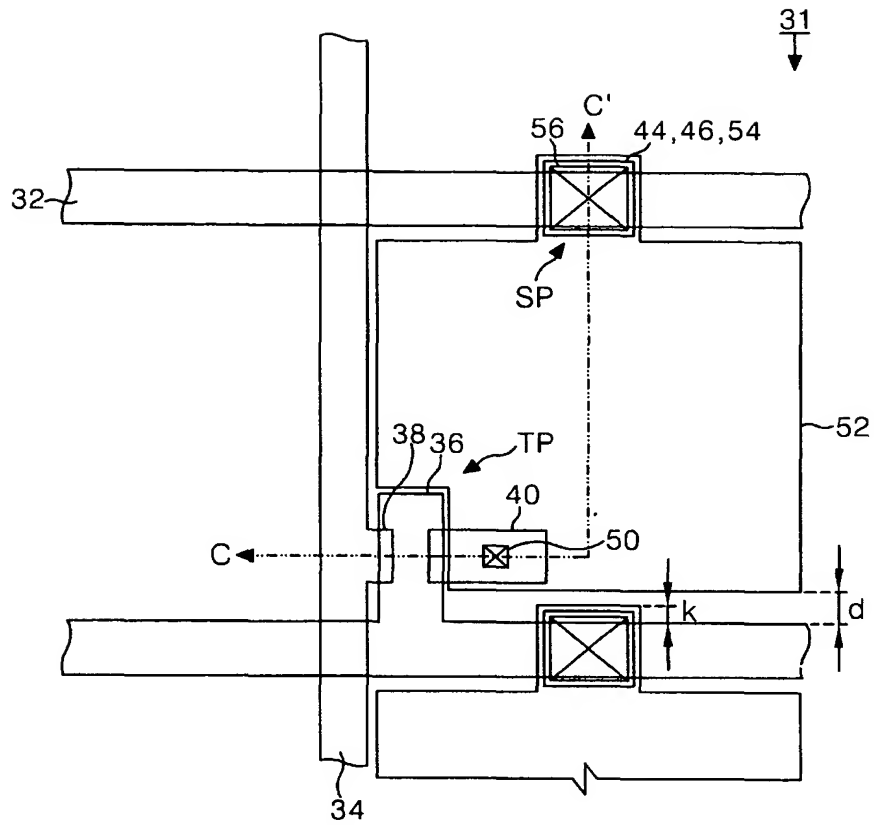
【도 7e】



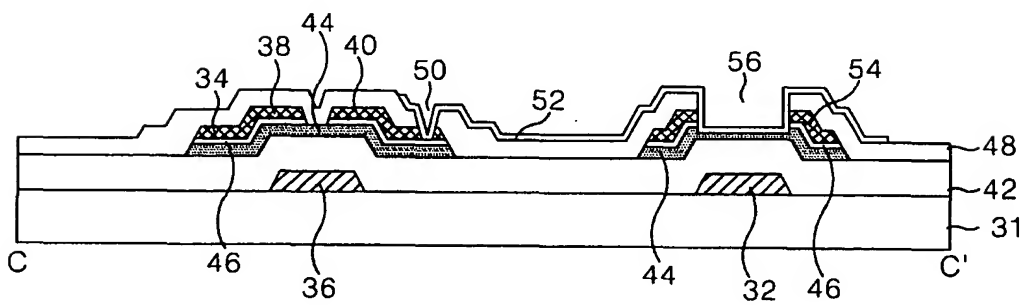
【도 7f】



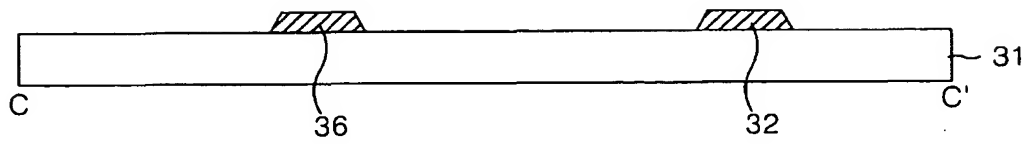
【도 8】



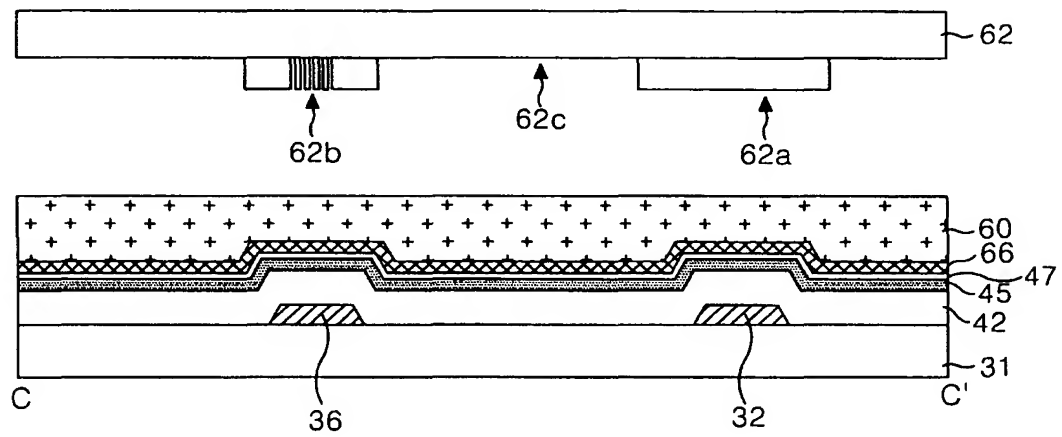
【도 9】



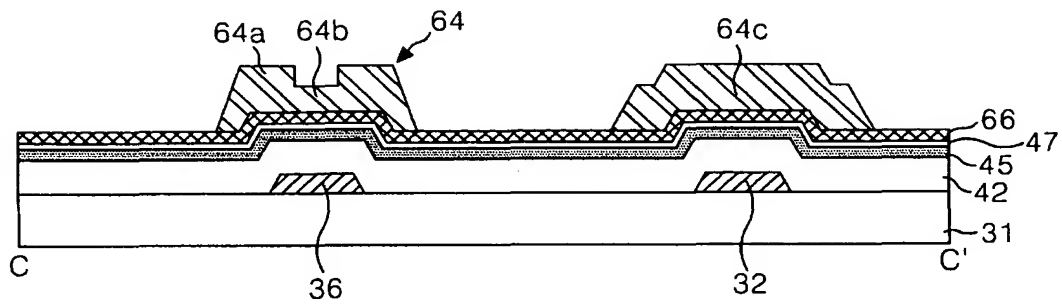
【도 10a】



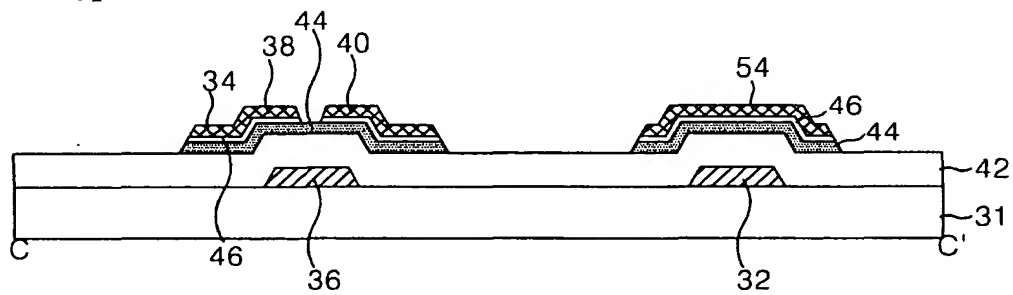
【도 10b】



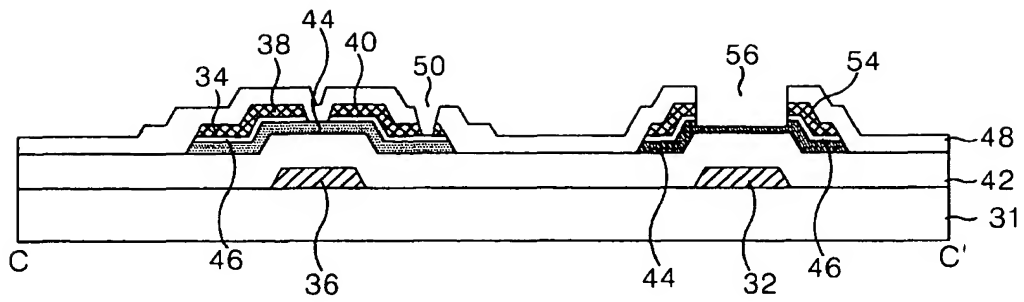
【도 10c】



【도 10d】



【도 10e】



【도 10f】

